

LỖI IP CHO MÔ PHỎNG ĐÁNH GIÁ HOẠT ĐỘNG TRUYỀN THÔNG CHO MẠNG TRÊN CHIP TÁI CẤU HÌNH

Lê Văn Thanh Vũ^{1*}, Trần Hữu Tuấn²

¹ Khoa Điện tử - Viễn thông, Trường ĐH Khoa học – Đại học Huế

² Khoa Điện – Điện tử, Trường Cao đẳng Công nghệ Huế

*Email: vulvt@hueuni.edu.vn

TÓM TẮT

Công trình này tập trung trình bày về lỗi IP đánh giá dùng trong hoạt động mô phỏng và đánh giá hoạt động truyền thông và tái cấu hình của hạ tầng truyền thông của kiến trúc mạng trên chip tái cấu hình – RNoC. Lỗi IP đánh giá có khả năng phát tin vào hạ tầng mạng một cách linh hoạt và cân bằng theo nhiều kịch bản đánh giá, đồng thời hỗ trợ tối ưu các hoạt động tái cấu hình của mạng trên chip tái cấu hình – RNoC. Lỗi IP đánh giá được thiết kế trên cơ sở sử dụng ngôn ngữ mô tả phần cứng VHDL hoàn toàn thích hợp cho các quá trình mô phỏng và đánh giá các giải pháp mạng trên chip ở mức thiết kế thực thi và hướng đến khả năng tổng hợp lên vi mạch.

Từ khóa: Đánh giá hiệu năng, mạng trên chip tái cấu hình, RNoC.

1. MỞ ĐẦU

Mạng trên chip [3] được nghiên cứu và phát triển nhiều trong những năm gần đây và đã mang lại nhiều thành quả quan trọng, hiện đã có những sản phẩm đầu tiên được thương mại hóa [18][19]. Nhằm đáp ứng tốt hơn nữa cho các hệ thống phức hợp có khả năng tự thích ứng các thay đổi cấu hình, các giải pháp mạng trên chip là một xu thế mới góp phần giải quyết một cách toàn diện các vấn đề truyền thông của các hệ thống tái cấu hình phức hợp. Cùng với hoạt động nghiên cứu giải pháp truyền thông tái cấu hình thì nhu cầu phát triển giải pháp mô phỏng đánh giá hoạt động truyền thông và khả năng thích ứng thông qua các kịch bản đánh giá phù hợp. Một giải pháp hỗ trợ mô phỏng đánh giá cả về hiệu năng truyền thông cùng với khả năng tự thích ứng của giải pháp tái cấu hình là một hướng phát triển quan trọng và cần được làm rõ. Bài báo này trình bày một kiến trúc đề xuất lỗi IP đánh giá được dùng trong hoạt động mô phỏng và đánh giá hiệu năng hoạt động của giải pháp mạng trên chip tái cấu hình – RNoC. Lỗi IP đánh giá hỗ trợ khả năng thay đổi tỷ lệ tải tin phát vào mạng một cách cân bằng kết hợp với khả năng điều khiển sự thay đổi cấu hình bằng các thông số được truyền vào thiết kế khi tiến hành mô phỏng đánh giá.

Bài báo này được trình bày trong 5 đề mục chính gồm phần mở đầu dùng để giới thiệu chung về hoạt động nghiên cứu của lĩnh vực thiết kế vi mạch theo xu thế mạng trên chip và mạng trên

chip tái cấu hình để từ đó làm nổi rõ nhu cầu phát triển của hoạt động đánh giá hiệu quả và hiệu năng truyền thông của các giải pháp mạng trên chip tái cấu hình. Các công trình liên quan đến hoạt động nghiên cứu mạng trên chip và xu thế mạng trên chip tái cấu hình đề cập đến trong phần 2 là các công trình liên quan đã công bố. Nội dung phần 3 tập trung cho hoạt động mô tả thiết kế lõi IP đánh giá từ tổng quát đến chức năng cụ thể của thiết kế đề xuất và phần 4 trình bày các kết quả mô phỏng quá trình hoạt động của lõi IP đánh giá với các hoạt động phát/thu và khả năng tái cấu hình. Phần 5 là kết luận về các kết quả đã đạt được và hướng phát triển của lõi IP đánh giá trong thời gian sắp tới.

2. CÁC CÔNG TRÌNH LIÊN QUAN ĐÃ CÔNG BỐ

Hoạt động nghiên cứu và thiết kế các hệ thống phức hợp với số lượng lớn các lõi IP chức năng luôn cần hạ tầng truyền thông đủ mạnh để đáp ứng các nhu cầu trao đổi thông tin bên trong hệ thống. Với số lượng hàng trăm lõi IP chức năng trong các hệ thống trên chip hiện đại, mô hình BUS chia sẻ đã và đang bộc lộ nhiều nhược điểm không thể khắc phục mà cần nghiên cứu và xây dựng một cơ chế truyền thông hiệu quả hơn với băng thông cao, khả năng truyền song công thời gian thực, hỗ trợ tính toán song song,...[9]. Mạng trên chip mở ra định hướng nghiên cứu rất được quan tâm với nhiều hướng nghiên cứu đa dạng nhằm hoàn thiện mô hình truyền thông và giải quyết toàn diện các vấn đề đang và sẽ đặt ra trong quá trình nghiên cứu thiết kế các hệ thống phức hợp [4][6][12]. Xu thế nghiên cứu mạng trên chip góp phần tạo nên nhiều hệ thống phức hợp với số lượng lõi chức năng có thể lên đến hàng trăm và hàng tỉ transistor; tuy nhiên các hệ thống quá phức tạp thì khả năng sai hỏng cũng như nhu cầu linh hoạt trong quá trình hoạt động hệ thống là một vấn đề nảy sinh cần được quan tâm nghiên cứu [5][10]. Xu thế thiết kế các hệ thống tích hợp có khả năng tự thay đổi để thích ứng dải rộng các ứng dụng, nâng cao hiệu quả hoạt động và tự thích nghi các sai hỏng có thể xảy ra trong quá trình sản xuất, hệ thống tái cấu hình cần có cái nhìn toàn diện từ khả năng linh hoạt chức năng hoạt động, kiến trúc tái cấu hình và hạ tầng truyền thông tái cấu hình [11]. Khả năng tái sắp xếp các thành phần giúp các hệ thống linh hoạt trong quá trình hoạt động, gia tăng hiệu quả sử dụng của các thiết kế; tuy nhiên hệ thống tái cấu hình cần một hạ tầng truyền thông có khả năng đáp ứng tối ưu cho các thay đổi cấu hình của hệ thống cũng như cân bằng được hiệu quả truyền thông là một vấn đề tiên quyết. Mạng trên chip tái cấu hình hiện đã và đang được tập trung nghiên cứu và kỳ vọng là một giải pháp toàn diện cho bài toán truyền thông của các hệ thống phức hợp theo xu thế thiết kế lấy truyền thông làm trung tâm [14].

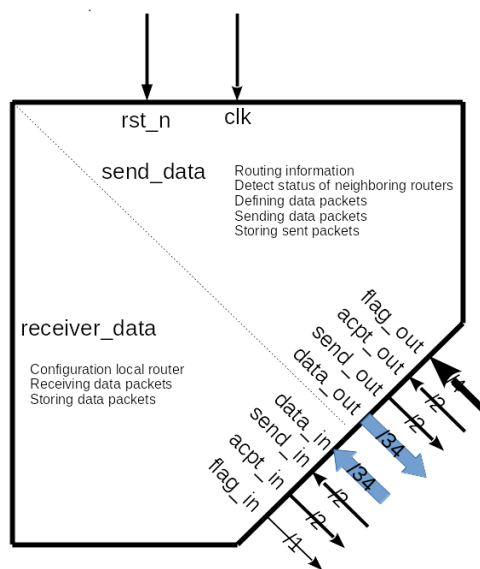
Nghiên cứu các công cụ mô phỏng và đánh giá hiệu năng hoạt động truyền thông của các mô hình mạng trên chip nhằm khẳng định tính hiệu quả và khả năng triển khai ứng dụng của các kiến trúc mạng trên chip cũng là một hướng nghiên cứu rất được quan tâm [1]. Mỗi công cụ mô phỏng đánh giá đều có những ưu nhược điểm riêng, nhưng phù hợp với mục tiêu và định hướng nghiên cứu hoạt động truyền thông cần được đánh giá; tuy nhiên phần lớn các công cụ đánh giá được phát triển trên nền các ngôn ngữ lập trình như C/C++ hoặc sử dụng thư viện SystemC [13][7][15]. Một số ít các công trình nghiên cứu hoạt động mô phỏng đánh giá mạng

trên chip sử dụng ngôn ngữ mô tả và khả năng thực thi, như [21] tập trung vào định hướng thiết kế đánh giá thông số truyền thông của hạ tầng mạng trên chip và hiệu quả truyền thông. Vậy nên, các hoạt động nghiên cứu chuyên sâu và hướng đến các thiết kế cụ thể khả thi trên vi mạch thì cần sử dụng các công cụ phù hợp trên nền ngôn ngữ mô tả phần cứng (HDL – *Hardware Description Languages*). Sử dụng lõi IP đánh giá sử dụng ngôn ngữ mô tả phần cứng cho phép mô phỏng đánh giá đồng thời với hạ tầng truyền thông cần đánh giá được thiết kế mức khả thi (RTL) nhưng vẫn hỗ trợ khả năng thể hiện các kịch bản đánh giá đa dạng.

3. KIẾN TRÚC ĐỀ XUẤT CHO LỖI IP ĐÁNH GIÁ

Truyền thông tích hợp trong xu hướng NoC tập trung vào hoạt động chuyển tải thông tin từ nguồn đến đích với các yêu cầu chất lượng truyền thông phù hợp với nhu cầu dịch vụ - QoS [2]. Do đó, trong các nghiên cứu đánh giá hoạt động truyền thông NoC luôn cần đến các lõi IP được thiết kế riêng, với chức năng tạo nên tải tin phù hợp với các ngữ cảnh và mục tiêu khảo sát cụ thể [17]. Hơn nữa, hoạt động đánh giá cho mạng trên chip tái cấu hình luôn cần linh hoạt các giải pháp thay đổi cấu hình mạng để thực hiện các mục tiêu tái cấu hình cụ thể phù hợp với định hướng nghiên cứu. Do vậy, lõi IP cho mô phỏng đánh giá các kiến trúc mạng trên chip tái cấu hình luôn được đặt ra trong bất kỳ các nghiên cứu mạng trên chip và mạng trên chip tái cấu hình [1].

3.1. Kiến trúc đề xuất cho lõi IP đánh giá



Hình 1. Kiến trúc đề xuất cho lõi IP đánh giá

Đáp ứng nhu cầu khảo sát hoạt động của các hạ tầng truyền thông, bài báo này trình bày một kiến trúc lõi IP cho mục đích mô phỏng hoạt động truyền thông bên trong các NoC với mục tiêu khảo sát đánh giá hiệu quả truyền thông cũng như khả năng thay đổi cấu hình của hệ thống.

Hình 1 trình bày kiến trúc và chức năng chính của một lõi IP đánh giá ứng dụng cho các hệ thống mạng trên chip tái cấu hình RNoC [16].

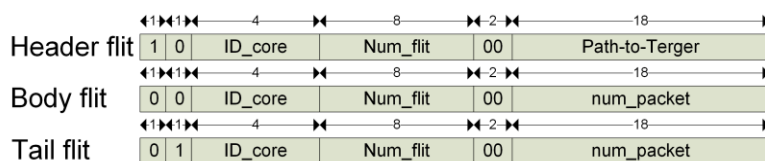
Lõi IP đánh giá mạng trên chip tái cấu hình với chức năng tạo và phát tin vào hạ tầng truyền thông dựa vào các kịch bản đánh giá được xác định dựa vào mục tiêu và điều kiện thực hiện đánh giá. Lõi IP đánh giá sử dụng giao diện kết nối trực tiếp với bộ định tuyến của mạng trên chip tái cấu hình gồm hướng phát tin vào mạng với BUS dữ liệu 34 bit (*data_out*), hai tín hiệu bắt tay 2 bit (*acpt_out* & *send_out*) cùng với tín hiệu cờ trạng thái của các bộ định tuyến lân cận 4 bit (*flag_out*). Ở chiều vào giao diện sử dụng BUS dữ liệu lõi vào 34 bit (*data_in*), hai tín hiệu bắt tay 2 bit với giao diện ra của bộ định tuyến (*acpt_in* & *send_in*), tín hiệu cờ trạng thái 1 bit (*flag_in*). Ngoài ra khỏi lõi IP đánh giá hoạt động theo nguyên lý thiết kế đồng bộ và sử dụng tín hiệu tái khởi tạo (*rst_n*) và xung nhịp hệ thống (*clk*)¹.

Thiết kế này sử dụng phương pháp lưu dữ liệu để cho phép tái sử dụng dữ liệu trong hoạt động xác thực và phân tích hoạt động trong nhiều trường hợp khác nhau dựa theo các kịch bản đánh giá của người sử dụng. Do đó, lõi IP đánh giá luôn sao lưu dữ liệu phát và nhận ngay tại thời điểm phát tin vào mạng cũng như nhận tin vào mạng.

Hoạt động tái cấu hình của thiết kế được thể hiện thông qua hai tín hiệu cờ trạng thái ở cả hai hướng trao đổi dữ liệu của lõi IP đánh giá với bộ định tuyến của hạ tầng mạng trong suốt quá trình mô phỏng cho đánh giá hoạt động truyền thông của mạng trên chip tái cấu hình. Chi tiết hoạt động tái cấu hình sẽ được trình bày chi tiết trong mục 3.3 của nội dung này.

3.2. Hoạt động tạo và phát gói tin

Chức năng chính của khối lõi IP đánh giá là hoạt động phát tin dựa theo hình mẫu được chọn để tạo nên dữ liệu trao đổi qua hạ tầng truyền thông của NoC. Nhằm đáp ứng mục tiêu đánh giá khả năng đáp ứng của hạ tầng truyền thông trong nhiều điều kiện ràng buộc thì lõi IP đánh giá cần được thiết kế chức năng tạo và phát tin linh hoạt và phù hợp cho từng kịch bản đánh giá đã đề ra [17].



Hình 2. Cấu trúc gói tin sử dụng bên trong NoC

Tổ chức thông tin trao đổi bên trong NoC được chia thành từng gói tin gồm nhiều đơn vị tin được gọi là flit (flow control Unit), số lượng flit của gói tin được xem là kích thước của gói tin đó. Lõi IP đánh giá được đề xuất hướng đến khả năng đáp ứng đa dạng các kịch bản đánh giá

¹ Thiết kế này sử dụng sườn dương của tín hiệu xung nhịp clk để đồng bộ trong quá trình trao đổi dữ liệu.

khác nhau nên cho phép tạo nhiều dạng gói tin với các kích thức linh hoạt (kích thước gói tin có thể thay đổi dựa vào thông số cấu hình được thiết lập trong quá trình mô phỏng đánh giá). Cấu trúc gói tin sử dụng trong hoạt động đánh giá truyền thông NoC được trình bày như trong Hình 2.

Trong quá trình tạo và đóng gói thông tin để phát qua hạ tầng truyền thông thì thông tin định tuyến cần được xác lập ngay tại nguồn dựa vào giải thuật định tuyến được chọn phù hợp với mục tiêu nghiên cứu đánh giá cũng như kiến trúc truyền thông cần đánh giá. Trên cơ sở nghiên cứu kiến trúc truyền thông mạng trên chip tái cấu hình trong công trình [15]. Giải thuật định tuyến được sử dụng trong công trình này là sự kết hợp của hai giải pháp định tuyến tính là định tuyến XY và định tuyến YX [8].

Thiết kế IP đánh giá tái sử dụng cấu trúc gói tin của công trình nhằm mục đích tương thích cho quá trình phân tích dữ liệu, điều này sẽ góp phần tăng tính tin cậy của hoạt động đánh giá. Đồng thời, hoạt động đánh giá mạng trên chip vẫn cần được bổ sung các kịch bản tái cấu hình trên cơ sở đánh giá hoạt động truyền thông đã được minh chứng trước đó.

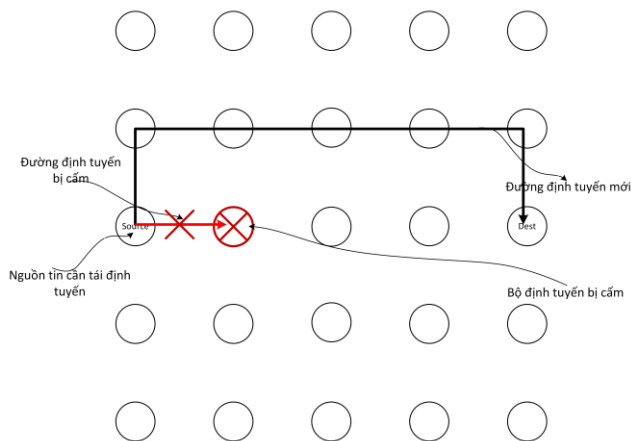
3.3. Hoạt động tái cấu hình

Chức năng tái cấu hình của lõi IP đánh giá là yêu cầu tiên quyết trong hoạt động khảo sát đánh giá giải pháp mạng trên chip tái cấu hình. Trong bài báo này, hoạt động tái cấu hình của lõi IP đánh giá cần thể hiện trong cả hai giao diện kết nối với bộ định tuyến theo hai hướng gồm tín hiệu *flag_out* 4 bit ở giao diện hướng ra bộ định tuyến và tín hiệu *flag_in* 1 bit ở giao diện hướng vào.

Lõi IP đánh giá sử dụng cờ trạng thái lỗi vào chỉ là tín hiệu 1 bit nhưng được kết nối đồng thời đến tất cả các hướng của bộ định tuyến. Cờ trạng thái này được dùng để thiết lập chế độ cấm (*prohibited mode*) của bộ định tuyến kết nối với lõi IP đánh giá. Dựa vào thông số thiết lập trong quá trình mô phỏng đánh giá, nếu danh định của lõi IP đánh giá trùng với danh định của khối được xác định là bị cấm thì lõi IP phải tích cực cờ trạng thái này, đồng thời chuyển tín hiệu bắt tay – *acpt_in* vào trạng thái không tích cực. Ở bộ định tuyến được liên kết trực tiếp với lõi IP bị cấm sẽ sử dụng khối cổng cục bộ (*local port*) để thiết lập trạng thái cấm cho toàn bộ định tuyến và thông qua các cờ trạng thái ở các hướng lối ra của các khối cổng khác thông báo hướng truyền bị cấm của mạng trên chip.

Hoạt động tái cấu hình của mạng trên chip cần đánh giá chỉ tập trung vào khả năng nhận biết thay đổi cấu hình ở các bộ định tuyến lân cận mà không chuyển tiếp thông tin cấu hình này. Đồng thời, khối tái cấu hình trong mỗi bộ định tuyến không liên kết với khối cổng cục bộ nên không thể thay đổi định tuyến cho các gói tin được phát ra tại lõi IP liên kết với chính bộ định tuyến đó. Do vậy, trong lõi IP đánh giá này sử dụng cờ trạng thái lối ra 4 bit để thu thập thông tin trạng thái từ các bộ định tuyến lân cận, từ đó lõi IP đánh giá sẽ tự thay đổi đường định tuyến để thích ứng với sự thay đổi cấu hình mạng trong trường hợp đường định tuyến mặc định hướng đến bộ định tuyến bị cấm là lân cận của nút nguồn. Hiện tại, thiết kế lõi IP này chỉ hỗ trợ hai giải thuật định tuyến tĩnh là định tuyến XY và định tuyến YX, trong đó định tuyến XY là định

tuyến mặc định và định tuyến YX là định tuyến thay thế trong trường hợp lỗi ra tại bộ định tuyến nguồn đã bị chặn. Trong trường hợp đặc biệt, cặp nguồn-đích của hoạt động truyền thông ở cùng đường ngang thì hoạt động định tuyến phải thực hiện đường định tuyến đi vòng (Hình 3).



Hình 3. Nguyên lý tái cấu hình cho gói tin đi ngang tại nguồn tin

3.4. Tạo file dữ liệu

Phục vụ cho mục tiêu đánh giá hoạt động truyền thông một cách linh hoạt và tối ưu cho nhiều giải pháp đánh giá của người dùng, thiết kế này tận dụng khả năng xử lý song song và lưu dữ liệu dạng văn bản của ngôn ngữ mô tả phần cứng – VHDL. Trong thiết kế lõi IP đánh giá, chúng tôi sử dụng kỹ thuật lưu nội dung thông tin trao đổi ở các khối con phát tin và khối con nhận tin ngay khi thông tin được phát vào mạng cũng như lúc nhận thông tin từ hạ tầng mạng.

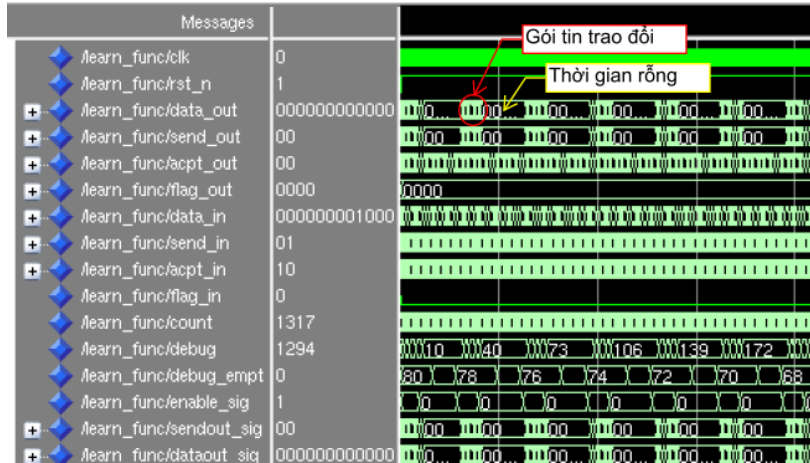
Thông tin được lưu vào file ở dạng văn bản gồm thời gian của hoạt động phát hoặc nhận tin, thông tin về kênh ảo và nội dung thông tin trao đổi ở dạng nhị phân. Sử dụng file dạng text cho phép chúng ta tái sử dụng thông tin này theo nhiều cách thức khác nhau cũng như đơn giản trong hoạt động đọc và phân tích thông tin trực tiếp cũng như thông qua phần mềm và lập trình bởi các ngôn ngữ khác nhau: C/C++, SystemC.

4. KẾT QUẢ MÔ PHỎNG

4.1. Hoạt động phát/thu thông tin

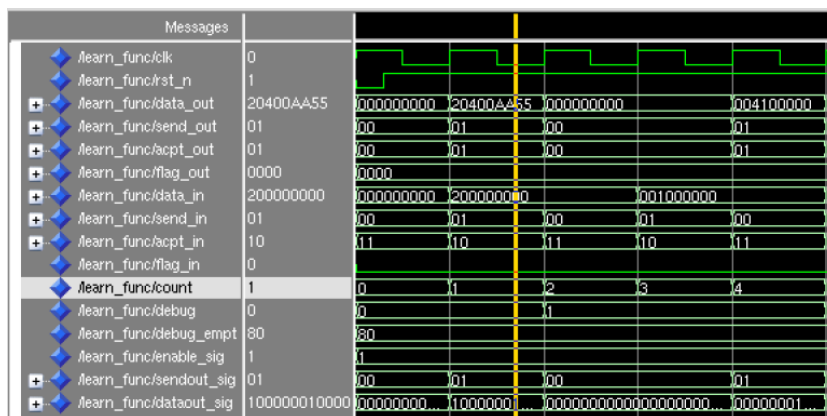
Thiết kế sử dụng ngôn ngữ mô tả phần cứng chuyên dùng VHDL và mô phỏng hoạt động bằng công cụ ModelSim có khả năng thay đổi cấu hình phát/thu thông tin bằng cách thay đổi tỷ lệ phát tin vào mạng theo chu kỳ thời gian tương ứng với việc phát 100 gói tin vào hạ tầng truyền thông.

Như trong Hình 4 mô tả các tín hiệu và thông tin trao đổi trong trường hợp tỷ lệ phát thông tin vào mạng là 20%, do đó khoảng cách giữa các lần phát gói tin vào mạng sẽ hơn 2-3 lần khoảng thời gian rỗng gửi các gói tin.



Hình 4. Giải đồ xung cho hoạt động trao đổi dữ liệu khi sử dụng tỷ lệ 20%

Việc cân bằng thời gian rất quan trọng trong hoạt động đánh giá hiệu năng, vì khi sử dụng tải 20% mà thông tin chỉ phát ở một khoảng đầu của khung thời gian thì nhu cầu truyền thông tại khoảng thời gian này vẫn lớn hơn 20% và sẽ tạo hiệu ứng tắc nghẽn thời gian cục bộ.

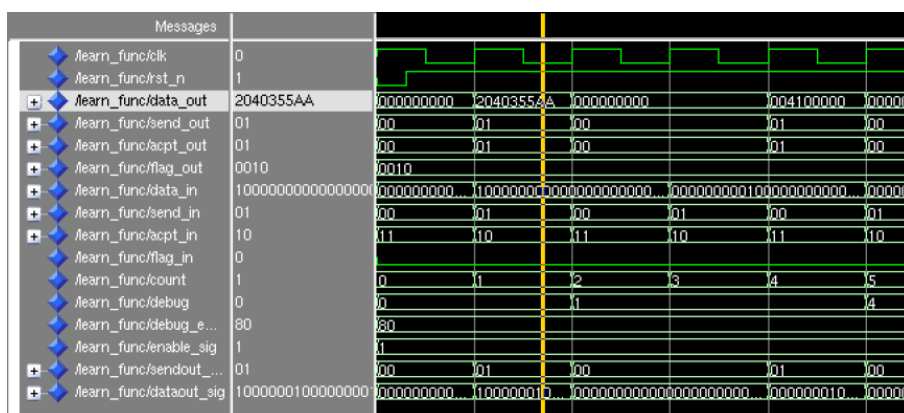


Hình 5. Thông tin định tuyến khi lỗi ra không bị chặn

Hoạt động nhận biết và tự thích ứng trong các kịch bản đánh giá khả năng hoạt động của giải pháp mạng trên chip tái cấu hình thì lỗi IP đánh giá cũng cần có khả năng thích ứng phù hợp. Trong Hình 5 mô tả thông tin định tuyến tại lỗi ra của lỗi IP trong trường hợp không bị chặn tương ứng với trường hợp lỗi ở góc trên bên phải (định danh 4) gửi đến lỗi IP góc biên dưới phía trái (định danh 20) sẽ là 0xAA55.

Tuy nhiên trong trường hợp lỗi ra của giải thuật định tuyến mặc định đã bị chặn thì ngay tại lỗi IP đánh giá cần thay đổi đường định tuyến theo một giải thuật định tuyến mới (định tuyến YX). Trường hợp này được chúng tôi mô phỏng và minh họa như trong Hình 6. Kết quả

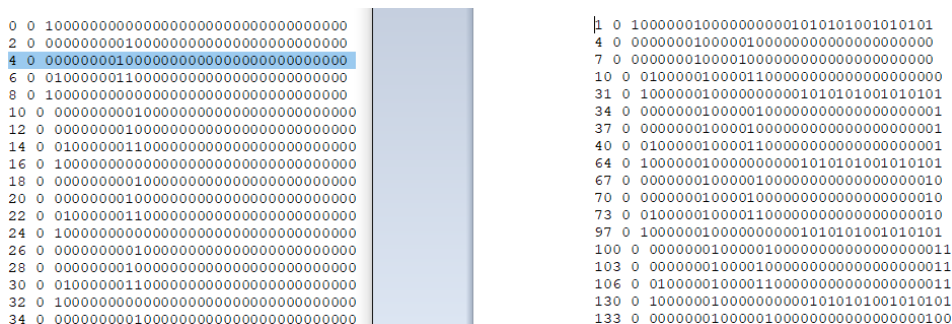
mô phỏng này cho thấy khả năng thích ứng của lõi IP đánh giá là phù hợp với giải pháp tái cấu hình mạng trên chip của công trình [16].



Hình 6. Thông tin định tuyến trong trường hợp lõi ra bị chặn

4.2. Kết quả lưu trữ thông tin

Hoạt động phát/thu thông tin tại lõi IP đánh giá được sao lưu ở file dữ liệu dạng TEXT ở cả khối phát và khối thu đồng bộ cho phép người sử dụng có thể đánh giá trực tiếp cũng như hỗ trợ các chương trình đánh giá dữ liệu với đa dạng các ngôn ngữ lập trình hiện nay. Trong Hình 7 thể hiện thông tin được sao lưu trong trường hợp mô phỏng với tỷ lệ phát tải tin 20%.



Hình 7. Thông tin lưu trữ trong các file dữ liệu ở khối phát và khối thu

5. KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

Lõi IP đánh giá được đề xuất trong bài báo này đã đáp ứng được phát triển để đáp ứng cho hoạt động mô phỏng và đánh giá hiệu năng hoạt động của giải pháp mạng trên chip tái cấu hình bằng ngôn ngữ mô tả phần cứng tiêu chuẩn – VHDL. Kiến trúc đề xuất cho lõi IP đánh giá với hai khối phát tin và nhận tin hoạt động độc lập theo nguyên lý thiết kế đồng bộ với cùng một tín hiệu xung nhịp và hỗ trợ hoạt động đánh giá bằng giải pháp sao lưu thông tin trao đổi vào các file dữ liệu dạng TEXT. Lõi IP đánh giá được mô phỏng đánh giá một cách chi tiết ở cả trong hoạt động phát/thu thông tin và hoạt động điều khiển và thích ứng với các thay đổi cấu hình mạng. Với các kết quả thu được như đã trình bày ở mục 4 cho thấy kiến trúc đề xuất của

chúng tôi hoàn toàn đáp ứng được yêu cầu mô phỏng và đánh giá hoạt động truyền thông tái cấu hình của giải pháp mạng trên chip tái cấu hình.

Để đáp ứng tốt hơn nữa hoạt động mô phỏng và đánh giá các giải pháp mạng trên chip tái cấu hình, lõi IP đánh giá có thể phát triển thêm chức năng tự đánh giá dữ liệu trao đổi qua mạng trên chip. Khả năng tự đánh giá sẽ góp phần nâng cao hiệu quả của hoạt động mô phỏng đánh giá giải pháp mạng trên chip đồng thời tăng tính khách quan và sự ổn định của hoạt động mô phỏng và đánh giá giải pháp mạng trên chip và mạng trên chip tái cấu hình.

TÀI LIỆU THAM KHẢO

- [1] Achballah, A. B., & Saoud, S. B. (2013). A Survey of Network-On-Chip Tools. *International Journal of Advanced Computer Science and Applications (IJACSA)*, 4.
- [2] Agarwal, A., Iskander, C., & Shankar, R. (2009). Survey of Network on Chip (NoC) Architectures & Contributions. *Engineering, Computing and Architecture*, 3(1).
- [3] Benini, L., & Micheli, G. D. (2002, 1). Networks on Chips: A New SoC Paradigm. *IEEE Computer*, 35(1), 70-78.
- [4] Bjerregaard, T., & Mahadevan, S. (2006). A Survey of Research and Practices of Network-on-Chip. *ACM Computing Surveys*, 38.
- [5] Dafali, R., Diguët, J.-P., & Sevaux, M. (2008). Key Research Issues for Reconfigurable Network-on-Chip. *proceedings of the International Conference on Reconfigurable Computing and FPGAs*.
- [6] Gebali, F., Elmiligi, H., & El-Kharashi, M. W. (2009). *Networks-on-chips : theory and practice*. CRC Press, Taylor & Francis Group, LLC.
- [7] Gigli, S., & Conti, M. (2009). A SystemC platform for Network-on-Chip performance/power evaluation and comparison. *Seventh Workshop on Intelligent solutions in Embedded Systems*, (pp. 63-69).
- [8] Glass, C. J., & Ni, L. M. (1992). The Turn Model for Adaptive Routing. *proceedings of the International Symposium on Computer Architecture*, (pp. 278-287).
- [9] Guerrier, P., & Greiner, A. (2000). A Generic Architecture for On-Chip Packet-Switched Interconnections. *proceedings of the Conference Design, Automation and Test in Europe Conference and Exhibition (DATE '00)*, (pp. 250-256). Paris.
- [10] Haiyun, G. (2011). Survey of Dynamically Reconfigurable Network-on-Chip. *proceedings of Future Computer Sciences and Application (ICFCSA)*.
- [11] Hung K.Nguyen, T.-V. L.-V.-T. (2017). A Survey on Reconfigurable System-on-Chips. *REV Journal on Electronics and Communications*, 74-86.
- [12] Jerger, N. E., & Peh, L.-S. (2009). *On-Chip Networks*. Synthesis Lectures on Computer Architecture. Morgan & Claypool.
- [13] Kogel, T., Doerper, M., Wieferink, A., Leupers, R., Ascheid, G., Meyr, H., & Goossens, S. (2003). A Modular Simulation Framework for Architectural Exploration of On-Chip Interconnection Networks. *1st IEEE/ACM/IFIP International Conference on Hardware/Software Codesign and System Synthesis*, (pp. 7-12).
- [14] Le-Van, T.-V., & Tran, X.-T. (2014). High-Level Modeling and Simulation of a Novel Reconfigurable Network-on-Chip Router. *REV Journal on Electronics and Communications*, 4.
- [15] Le-Van, T.-V., Ngo, D.-T., & Tran, X.-T. (2012). A SystemC based Simulation Platform for Network-on-Chip Architectures. *proceedings of the Institute of Electronics, Information and Communication Engineers*.
- [16] Le-Van, T.-V., Phan, H.-P., & Tran, X.-T. (2014). High-Level Modeling of a Novel Reconfigurable Network-on-Chip Router. *proceedings of the First NAFOSTED Conference on Information and Computer Science (NICS'14)*.
- [17] Le-Van, T.-V., Tran, X.-T., & Ngo, D.-T. (2012). Simulation and Performance Evaluation of a Network-on-Chip Architecture based on SystemC. *proceedings of the International Conference on Advanced Technologies for Communications (ATC'12)*, (pp. 170-175).
- [18] Lin, D., & Shuler, K. (2016). Optimizing Enterprise-Class SSD Host Controller Design with Arteris FlexNoC Network-On-Chip Interconnect IP. Tech. rep., Arteris, Inc.
- [19] Ltd, A. R. (2015). ARM® CoreLink™ CCI-550 Cache Coherent Interconnect. Retrieved from http://infocenter.arm.com/help/topic/com.arm.doc.100282_0100_00_en/corelink_cci550_cache_coherent_interconnect_technical_reference_manual_100282_0100_00_en.pdf

- [20] Lu, Z., Thid, R., Millberg, M., Nilsson, E., & Jantsch, A. (2005). NNSE: Nostrum Network-on-Chip Simulation Environment. proceedings of the Swedish System-on-Chip Conference (SSoCC'03).
- [21] Wang, D., Jerger, N. E., & Steffan, J. G. (2010). DART: Fast and Flexible NoC Simulation using FPGAs. The 5th Annual Workshop on Architectural Research Prototyping, (pp. 145-152).